

金属诱导单一方向横向晶化薄膜晶体管 以及栅控型轻掺杂漏极结构的研究*

孟志国¹⁾ 吴春亚^{1)†} 李 娟¹⁾ 熊绍珍¹⁾ 郭海成²⁾ 王 文²⁾

¹⁾ (南开大学信息学院光电子器件与技术研究所, 光电子薄膜器件与技术天津市重点实验室,
光电信息技术科学教育部重点实验室(南开大学, 天津大学), 天津 300071)

²⁾ (香港科技大学电机电子工程系, 香港九龙清水湾)

(2003 年 12 月 19 日收到; 2004 年 12 月 31 日收到修改稿)

提出了一种低温金属单向诱导横向晶化的多晶硅薄膜晶体管(LT-MIUC poly-Si TFT)的技术. 使用该技术可在大面积廉价玻璃衬底上制备出高迁移率、低漏电电流、具有较好均匀性的多晶硅器件. 在进一步的研究中,设计了一种新型的栅控轻掺杂漏区(GM-LDD)结构,有效地解决了在较高源漏电压下的栅诱导漏电问题. 使得LT-MIUC poly-Si TFT更适用于高质量的有源矩阵显示器.

关键词: 金属单向诱导横向晶化, 多晶硅薄膜晶体管, 新型栅控轻掺杂漏区结构

PACC: 7360, 7360F, 7360L, 7360P

1. 引 言

便携式计算机、掌上电脑(PDA)和图像手机具有很大的市场,薄而轻且低功耗的平板显示器(FPD)是上述产品中不可缺少的人机界面. 随着对显示器清晰度的需求不断增加,选址方式也从无源矩阵(PM)向有源矩阵(AM)发展. 高清显示器急需低成本、高迁移率、低漏电的低温多晶硅薄膜晶体管(LTPS TFT)的技术,乃至将驱动电路与AM矩阵集成于同一衬底的系统集成(System on Panel, SoP)的模块技术^[1-4].

现在,可以通过固相晶化(SPC)^[5]、准分子激光晶化(ELC)^[6,7]和金属诱导横向晶化(MILC)^[8]等多种技术途径获得大晶粒的poly-Si材料. ELC可以说是低温制备技术,而且用ELC可制备出低缺陷密度的poly-Si材料. 可是制备ELC-TFT的设备昂贵,过程复杂,而且器件的均匀性不十分理想. 常规的SPC-TFT确实是低成本技术,但是其晶化温度约为600,对玻璃衬底来说制备温度偏高. 使用MILC技术,在500的温度下所制成的双向晶化的MILC

沟道和自对准MIC源漏区的TFT已见报道^[8]. 这种技术适合于大面积微电子产品^[8],而且其TFT的特性参数明显优于常规的SPC-TFT. 但是这类器件的缺点是易于击穿且漏电较大^[9]. 产生此问题的主要原因是沟道两端的MILC与MIC界面所形成的横向晶界(MMGB)和沟道区内MILC晶化形成的晶粒与晶粒之间的横向晶界(LLGB)^[9,10]. 为此我们提出一种叫做金属诱导单向横向晶化(MIUC)的TFT技术^[10]. MIUC-TFT技术不但保持了长形的平行于沟道的MILC晶粒结构,而且还能将所有的MMGB和LLGB横向晶界从沟道中去除掉. 与通常的双向晶化的MILC-TFT相比,MIUC-TFT的电子和空穴的场效应迁移率(μ_{FE})能明显得以提高,且能同时降低漏电电流,提高漏结的击穿电压. 不仅如此,还能明显改善器件参数的均匀性. 所有这些优势使得MIUC-TFT特别适合于在大面积玻璃衬底上制备SoP全集成型显示器.

的确,MIUC poly-Si TFT与MILC poly-Si TFT相比,性能有了明显的提高^[10]. 但是进一步的研究发现,当对TFT施加较高的源漏电压(V_{ds})时,其漏电

*国家高技术研究发展计划(批准号:2004AA303570)、国家自然科学基金(批准号:60437030, 60077011)、国家出国留学人员回国基金和香港RCC资助的课题.

†E-mail: wuchy@nankai.edu.cn

电流亦会随着关态下栅压的增加而明显增加. 这一现象即为栅诱导漏极漏电 (gate induced draw current, GIDL) 效应. 大的 GIDL 会引起有源选址像素间的交叉干扰, 特别是在液晶显示需要正反场驱动的模式下, 这一影响尤为严重. 最有效的解决方法, 即是要尽量降低沟道至漏极之间的反向电场强度^[11,12], 曾有人提出轻掺杂漏区 (LDD) 的结构, 但其改善作用仍待提高. 本文提出一种新型的栅极调控的轻掺杂漏区, 即我们所谓的 GM-LDD. 使用该结构, MIUC poly-Si TFT 的 GIDL 被明显降低, 而且对开态电流的影响也较小, 从而能大大提高开关比.

2. MIUC TFT 的器件结构设计、制备和特性分析

2.1. MIUC TFT 的器件结构设计

若在 a-Si 膜上沉积两条金属镍膜, 经过 500 加热过程后, 晶化后的硅膜表面形貌如图 1 所示的, 由金属镍的诱导作用, 会产生两个 MIC 区间和两个 MLC 区间. 在各个区间的界面之间, 将形成两种不同类型的横向晶界, 即 MIC/MLC 晶界 (MMGB) 和两个横向 MLC 对撞形成的晶界 (LLGB). 从图 2 所示的二次离子谱 (SIMS) 可以看到, MLC 区间的镍含量最低, 在 LLGB 附近镍含量有所增加, 而在 MMGB 附近镍含量最高.

图 1 中的矩形框代表 TFT 有源区在多晶硅膜中的位置. 根据 TFT 沟道中所含横向晶界的不同, 可以分为五种不同结构的 MLC TFT. 图中我们对各种 TFT 器件用符号“*nml*”来命名. 它们的值为 1 或 0, 分别表示在相应位置存在或不存在横向晶界. 其中 *m* 代表中间位置的 LLGB, *n, l* 分别表示两端的 MMGB. 使用这种命名法, “111”型 MLC TFT, 即代表沟道中间有 LLGB, 沟道两端有 MMGB 的 MLC TFT; “110”则为将 MMGB 从漏极结区中移开的 MLC TFT; 那么“000”即为本文所提出的 MIUC TFT. 在后者的沟道中不存在任何的横向晶界, 而且金属镍的含量也最低.

2.2. 器件的制备过程

使用 4 英寸 Corning-1737 玻璃做基片, 在其上沉积 500nm 的低温氧化硅 (LTO) 作为本底层用以阻挡玻璃中的杂质. 之后沉积 30nm 本征的 a-Si 膜并加

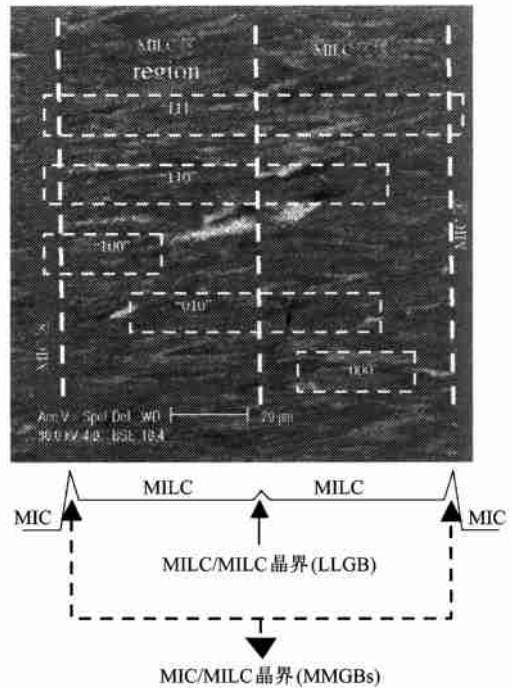


图 1 MIC 和 MLC 区间的 SEM 显微照片. 共存在三个垂直于 MLC 方向的横向晶界 (两个 MMGB 和一个 LLGB). 照片上所画的五个长方形的虚线框分别代表五种可能存在的 MLC TFT 的有源区

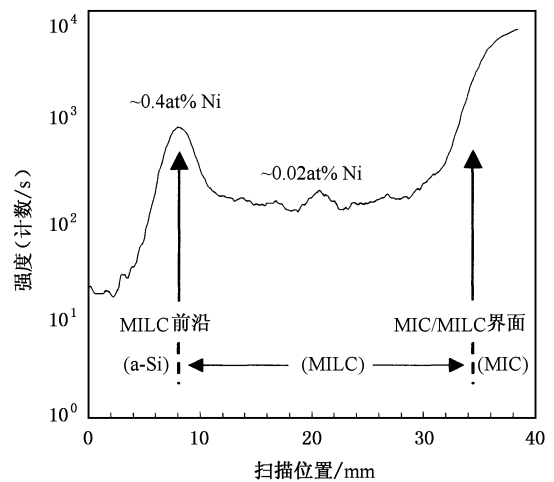


图 2 使用二次离子谱所得到的 Ni 在 MIC, MLC 以及 a-Si 区间的一维分布图

工成有源区图形. 随后连续沉积 100nm LTO 栅绝缘、300nm 的 poly-Si 膜, 并加工成栅电极图形. 再以 40keV 能量、 $4 \times 10^{15}/\text{cm}^2$ 的剂量完成 p-沟 TFT 栅、源、漏区的注入. 以 130keV 能量、相同剂量的磷离子完成 n-沟 TFT 栅、源、漏区的注入. 之后, 对于 MIUC 器件, 仅在有源层的一端位置加工出诱导口

(参见图 3(a)),而对于常规双向晶化的 MLC 器件,栅绝缘层被自对准腐蚀(参见图 3(b)). 电子束蒸发 5nm 厚的 Ni,在 500°C 氮气气氛下退火 10h 来完成 a-Si 有源层与栅极的晶化过程以及注入杂质的活化过程. 这样获得的多晶硅的晶化方向几乎平行于沟道长度方向,其平均横向晶粒长度约为 40μm. 用 120 硫酸和过氧化氢混合液清除表面残余的 Ni 膜. 最后沉积 500nm 的 LTO,打开电极接触孔、溅射 500nm、含 1% 硅的铝硅合金膜并加工成相应的金属电极图形. 随后在 FGA 气体中、经 400 °C、30min 处理完成电极的合金化过程. LTMiUC TFT 不需要做氢化处理即可获得良好性能. 图 3 为 MIUC 和 MLC TFT 相应沟道区间的截面示意图.

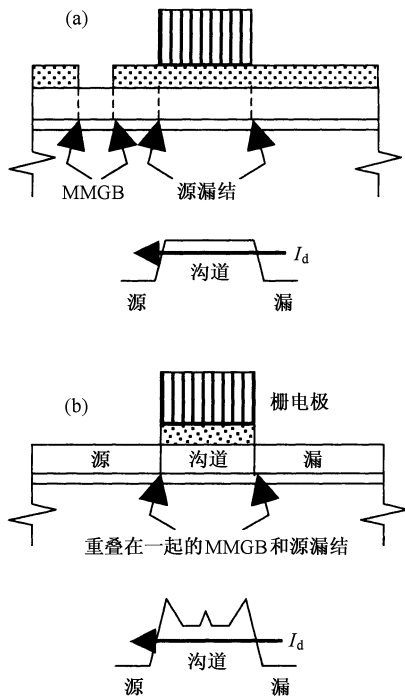


图 3 器件沟道的剖面示意图((a)为“000” MLC TFT,MMGB 已被移出结区. (b)为“111” MLC TFT,MMGB 与结区重叠)

2.3. 器件的特性分析

如图 1 所示,常规的 MLC 与我们所提出的 MIUC TFT 的最根本区别是所制备的 TFT 沟道内是否存在横向晶界的问题. 在常规的 MLC TFT 中,如高开启电压 (V_{th})、低的漏极击穿电压以及大的漏电流等问题,都是因为在高电场强度下漏极耗尽区中存在 MMGB,以及其他高密度的结构缺陷和金属杂质(双向金属诱导相碰的诱导前沿区)所造成的. 图 4(a), (b) 分别示出 n-沟和 p-沟 MLC TFT 和

MIUC TFT 在三种不同源漏电压 (V_{ds}) 下的源漏电流 (I_{ds}) 与栅源电压 (V_{gs}) 的关系曲线.

其中实线为 MIUC TFT 的特性曲线,点线为 MLC TFT 的特性曲线. 从曲线可以看到,在任何 V_{ds} 下,无论是 n-沟还是 p-沟的 MIUC TFT 的开态电流 (I_{on}) 都高于 MLC TFT 的 I_{on} . 正如表 1 所示,MIUC TFT 高的 I_{on} 是由于降低了 V_{th} 和提高了 μ_{FE} 之故.

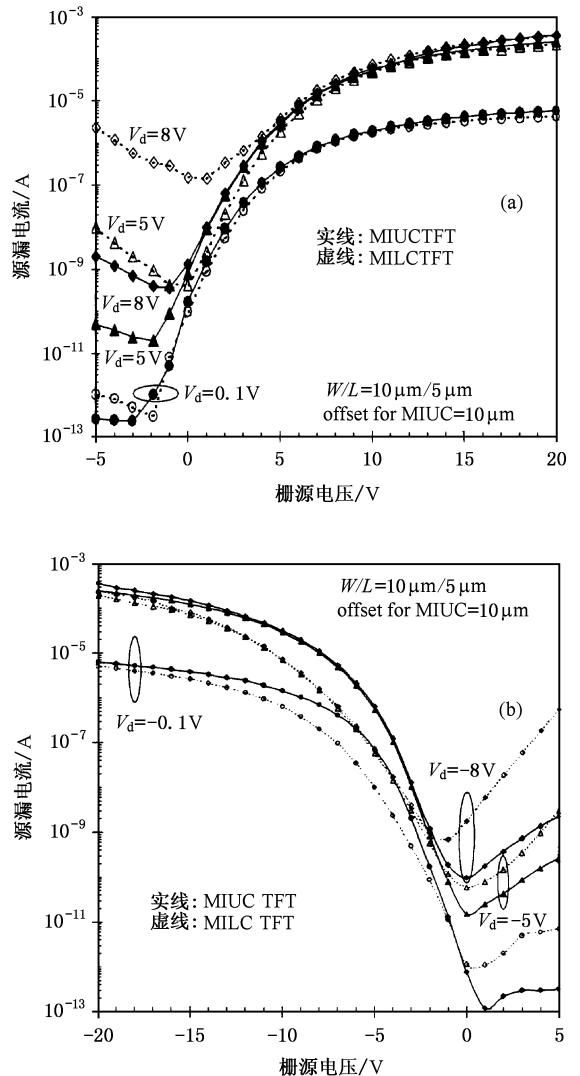


图 4 各种不同源漏电压 (V_{ds}) 下的源漏电流 (I_{ds}) 和栅源电压 (V_{gs}) 对应曲线((a)为 n 沟器件, (b)为 p 沟器件)

图 5 所示的是 MIUC 和 MLC 两种 TFT 开启电压的分布状态,其中定义 V_{th} 为 $|V_{ds}| = 5V$ 时, I_{ds} 达到 $W/L \times 10^{-7} A$ 时的 V_{gs} 值 (W 和 L 分别为 TFT 的沟道宽度和长度). 对于 p-沟器件,MLC TFT 的 V_{th} 的平均值比 MIUC TFT 的要大 1.7V. 两种器件 V_{th} 的均匀性相近. 对于 n-沟器件,MLC TFT 的 V_{th} 的平均值

比 MIUC 的要大 1V,且其均匀性也明显比 MIUC TFT 的 V_{th} 均匀性要差. 显然,器件特性参数具有良好的均匀性,有利于电路的设计和模拟,将为薄膜集成电路的“代工式”外加工模式提供理论和实验基础. 沟道厚度为 30nm、宽长比 W/L 为 $=10/5$ 的 n-沟和 p-沟 MIUC TFT 器件性能参数如表 1 所示.

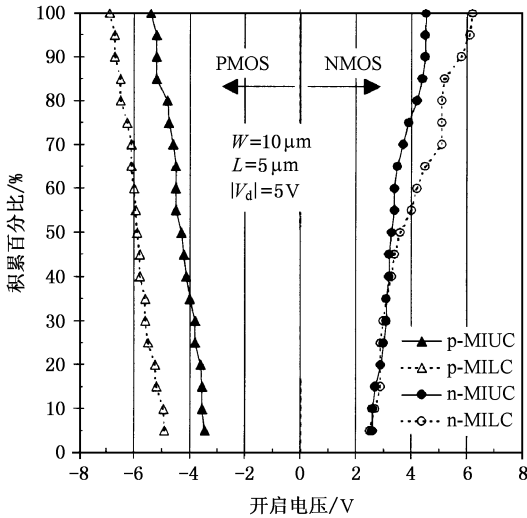


图 5 n-型和 p-型“000”MILC 和“111”MILC TFT 开启电压的统计分布

表 1 沟道厚度 30nm ($W/L=10/5$) 的 n-和 p-型 MIUC TFT 的性能参数比较

性能参数	n-Type	p-Type
$\mu_{EF}/(cm^2/Vs)$	120	108
V_{th}/V	3.2	-4.5
$S/(V/decade)$	1.1	1.0
$V_{bd}/(V)$	20.4	55.3
$I_{ik}/(pA/\mu m) V_{ds} =5V$	4.8	3.2
$I_{on}/(\mu A/\mu m) V_{ds} =5V$	33.2	32.8

由于 MIUC TFT 沟道中没有横向大晶界,其漏极击穿电压才能得以明显的提高. 图 6 示出分布在 4 英寸的玻璃衬底上 n-沟和 p-沟不同类型 MILC 和 MIUC TFT 的 I_{on} 和 I_{off} 的静态分布曲线. 对于 MILC TFT 而言,开态电流 (I_{on}) 的分布均匀性明显好于关态电流 (I_{off}) 的分布状况. 同样尺寸的 MILC TFT,其 I_{off} 的起伏超过两个数量级. 而 MIUC TFT,其 I_{on} 保持了均匀分布,同样尺寸的 MIUC TFT 其 I_{off} 的起伏不超过一个数量级.

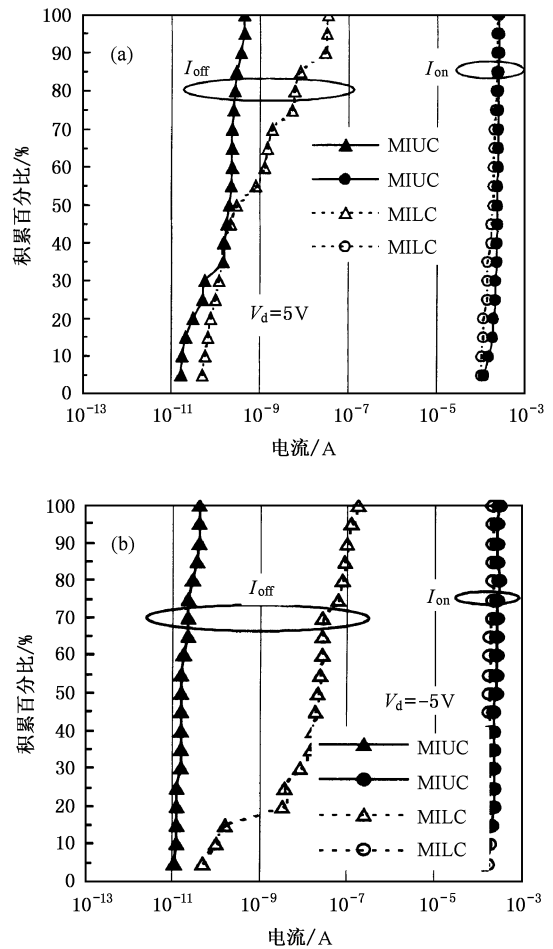


图 6 “000”MILC (即 MIUC) 和“111”MILC TFT 开、关电流的统计分布. $W/L=10/5$. (a) 为 n-型 TFT, (b) 为 p-型 TFT

3. 栅控型轻掺杂漏区结构的 MIUC TFT

MIUC TFT 的 I_{off} 在 V_{ds} 小于 5V 的情况下,可以满足 AM 显示器中的寻址器件的要求. 但当 V_{ds} 较大时,漏电流 I_{off} 随关态 V_{gs} 的增加仍会迅速增加. 这就是通常所说的栅诱导漏极漏电 (GIDL) 现象. 一般降低 GIDL 最有效的方法,是在栅边缘下的沟道处做一个轻掺杂的漏区 (LDD). 但是在 TFT 中使用常规的 LDD 结构,会产生大的寄生源漏电阻,这将导致 I_{on} 的下降. 本文提出一种新型的 LDD 结构,是在 poly-Si 栅侧壁层的下面形成 LDD 区,在这种情况下,栅电压可以调控 LDD 区的电阻. 使用这种结构,能降低 TFT 沟道/漏结中的最大水平电场强度. 由理论分析可知,漏电流 I_{off} 与此最大水平电场强度成指数关系.

图 7 给出用“MEDICI”程序模拟计算所得到的

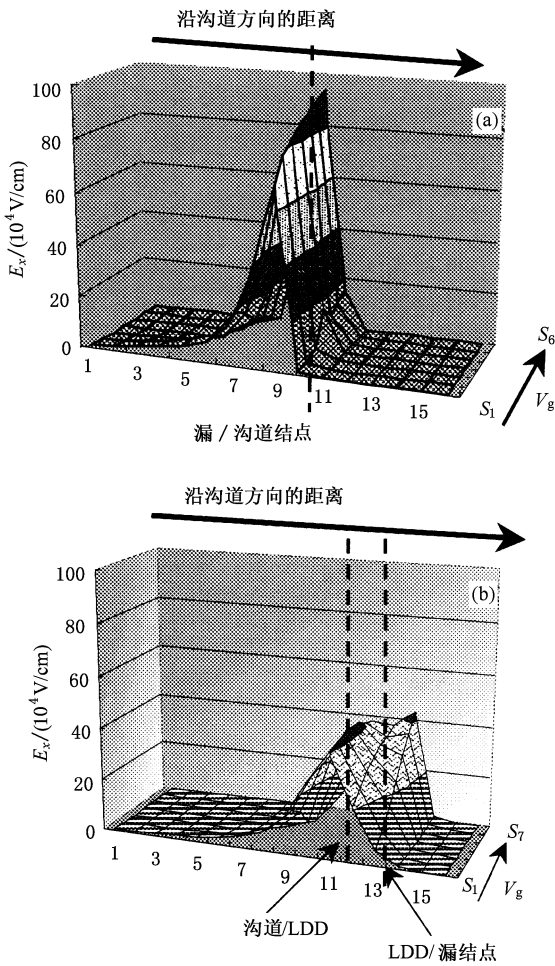


图7 沟道/漏结水平电场与关态 V_{gs} 关系的模拟结果. (a) 对应没有 LDD 的 TFT, (b) 对应新结构 LDD 的 TFT

没有 LDD 以及有栅控型 LDD 的两种 TFT 中沟道和漏区内水平电场与关态 V_{gs} 关系的模拟结果.

我们可以看到,在没有 LDD 结构的 TFT 中,该电场的峰值位于沟道/漏结处,且随着关态栅压 V_{gs} 线性地增加. 在本文提出的栅控型 LDD 的 TFT 中,随着关态 V_{gs} 的增加,电场的峰值从沟道/LDD 结移位到 LDD/漏结,其电场强度的最大值随着关态的 V_{gs} 的增加,开始缓慢增加、而后下降、再转而又增加,这一变化趋势与图 9 中所示漏电流随关态 V_{gs} 增加而变化的趋势相一致.

图 8 是栅控型 LDD MIUC-TFT 形成过程的示意图. 首先制备好顶上盖有 LTO 的 a-Si 栅,而后进行 LDD 的轻掺杂注入. 沉积 500nm 的 a-Si 层,并加工出 a-Si 侧壁层. 金属沉积到诱导孔中,最后完成晶化、源漏注入和掺杂物活化等过程. 这一技术已经用于制备平板显示器中的有源矩阵.

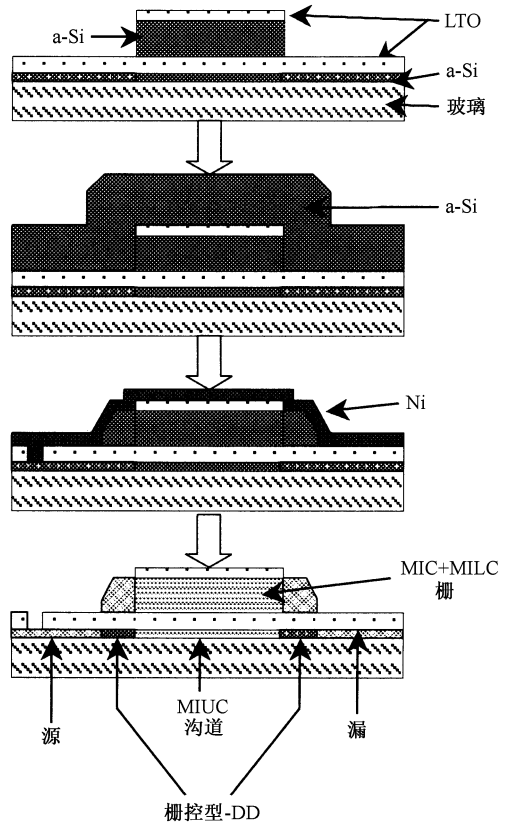


图8 图栅控型 LDD MIUC-TFT 形成过程的示意图

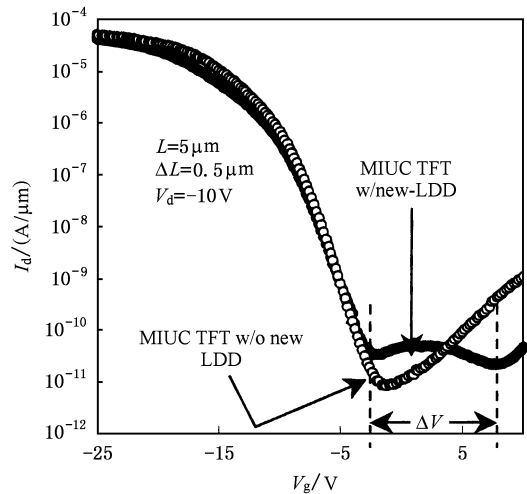


图9 具有新型栅控 LDD 结构和没有 LDD 结构 MIUC-TFT 的转移特性曲线

图 9 示出栅控型 LDD MIUC-TFT 的转移特性曲线. 从曲线可见,关态下的栅源电压 V_{gs} 对 I_{off} 的影响明显减弱. 这清楚说明这种 GM-LDD 结构,既能使 TFT 保持了高的 I_{on} 又抑制住了 TFT 中的 GIDL 效应. 仔细观察还可发现,对不同关态下的栅源电压

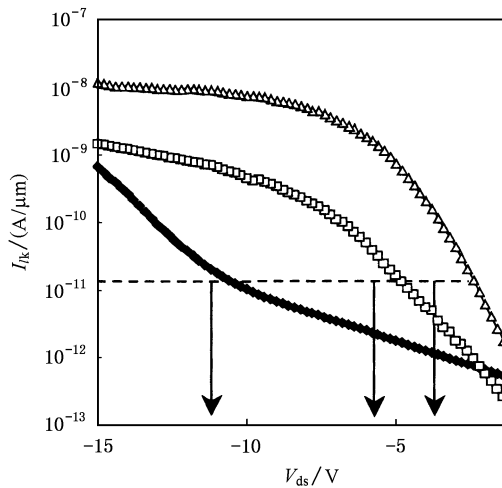


图 10 TFT 漏电流与源漏电压关系曲线,空三角曲线对应双向晶化 MILC-TFT,空方块对应 MIUC-TFT,实菱形对应新型栅控 LDD 结构的 MIUC-TFT

V_{gs} , I_{off} 有两个低谷,第一个是高电阻的本征沟道所造成,而第二个低谷是栅控 LDD 降低了漏区电场所致. 定义两个低谷间的电压范围为 V ,则当 LDD 的掺杂量为 $10^{14}/\text{cm}^2$ 的量级时,可获得 10V 的 V .

图 10 给出在关态 V_{gs} 为 10V 时,常规 p-沟的

MILC TFT,MIUC TFT 和栅控 LDD MIUC-TFT 的 I_{off} 与 V_{ds} 关系之比较. 从中可发现, I_{off} 为 $10\text{pA}/\mu\text{m}$ 时相应上述三种器件的 V_{ds} 分别为 -2, -4, -10V. 从这一结果亦可看出栅控 LDD 结构对降低 GIDL 是非常有效的.

4. 结 论

本文提出并成功研制出镍诱导口外置型“000” MILC TFT,我们命之名为 MIUC TFT. 由表 1 所示 MIUC 与常规 MILC TFT 特性比较可知,n-和 p-型的 MIUC TFT 都具有较高的场效应迁移率 μ_{FE} 、较大的漏极击穿电压和较高的开关电流比 (I_{on}/I_{off}) 等良好性能. 而且器件的参数在 4 英寸基片上的分布均匀. 使用简单的制备过程且不需要常规的后氢化处理即可得到性能优良的 MIUC TFT.

本文还提出一种新型的栅控 LDD 结构,它能有效降低沟道/漏区的电场强度,从而可有效地抑制 GIDL 效应. 结合其低温过程的优势,该技术非常适合于在较廉价的低温玻璃衬底上制备 CMOS 集成电路.

[1] Souk J and Kim J 2000 *SID DIGEST*, Long Beach 452
 [2] Kimura M *et al* 2000 *SID DIGEST*, Long Beach 468
 [3] Kimura M *et al* 1999 *IEEE Trans. Electron Devices* **46** 228
 [4] Shimoda T *et al* 1998 *Proc. of Asia Display* 217
 [5] Yamauchi R 1994 *J. Appl. Phys.* **75** 3235
 [6] Kubo N *et al* 1994 *IEEE Transactions on Electron Devices* **41** 1876
 [7] Hara A, Takeuchi F and Sasaki N 2000 *IEEE IEDM* 209

[8] Jin Z *et al* 1998 *Journal of Applied Physics* **84** 194
 [9] Lee S and Joo S 1996 *IEEE Electron Device Letters* **17** 160
 [10] Meng Z, Wang M and Wong M 2000 *IEEE Trans. on Electron Devices* **47** 404
 [11] Zhao T *et al* 1993 *IEEE IEDM* 393
 [12] Hatano M, Akimoto H and Sakai T 1997 *IEEE IEDM* 523

Low-temperature metal-induced unilateral crystallized polycrystalline silicon thin-film transistor and gate-modulated lightly-doped drain structure^{*}

Meng Zhi-Guo¹⁾ Wu Chun-Ya^{1)†} Li Juan¹⁾ Xiong Shao-Zhen¹⁾ Hoi S. Kwok²⁾ Man Wong²⁾

¹⁾ (Institute of Photoelectronics, College of Information, Nankai University, Tianjin 300071, China, The Tianjin key laboratory for Photoelectronic thin film devices and Technology, Key Laboratory of Opto-electronic Information Science and Technology

(Nankai University and Tianjin University), Ministry of Education)

²⁾ (Department of Electrical and Electronic Engineering, The Hong Kong University of Science and Technology, Clear Water Bay, Kowloon, Hong Kong, China)

(Received 19 December 2003; revised manuscript received 31 December 2004)

Abstract

In this paper the low-temperature metal-induced unilaterally crystallized (MIUC) polycrystalline silicon thin-film transistors (TFTs) have been developed and characterized. These TFTs have higher field-effect mobility, lower off-state current and better spatial uniformity. A new structure of gate-modulated lightly doped drain of TFT was proposed. It is very effective to lower gate-induced drain-leakage current of the TFTs when a higher source drain voltage is applied to it. This type MIUC TFT is suitable to fabricate active matrices for liquid crystal and organic light-emitting diode flat-panel displays on large area glass substrates.

Keywords: metal-induced unilaterally crystallization, polycrystalline silicon thin-film transistors, gate-modulated lightly doped source drain

PACC: 7360, 7360F, 7360L, 7360P

^{*} Project supported by the National High Technology Development Program of China (Grant No. 2004AA303570), the National Natural Science Foundation of China (Grant Nos. 60437030, 60077011), the National Education Ministry Foundation of China for Returned Scholars, and the RGC of Hong Kong.

[†]E-mail: wuchy@nankai.edu.cn